

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-123190

⑮ Int. Cl.<sup>4</sup>

H 01 S 3/18  
3/133

識別記号

庁内整理番号

7377-5F  
7377-5F

⑬ 公開 昭和61年(1986)6月11日

審査請求 有 発明の数 1 (全7頁)

⑭ 発明の名称 定出力半導体レーザ素子の製造方法

⑯ 特 願 昭59-224117

⑰ 出 願 昭59(1984)10月26日

⑱ 発 明 者 花 光 幸 和 東京都港区南麻布5丁目10番27号 安立電気株式会社内  
⑲ 発 明 者 古 田 土 節 夫 東京都港区南麻布5丁目10番27号 安立電気株式会社内  
⑳ 出 願 人 アンリツ株式会社 東京都港区南麻布5丁目10番27号  
㉑ 代 理 人 弁理士 小池 龍太郎

明 細 書

1. 発明の名称

定出力半導体レーザ素子の製造方法

2. 特許請求の範囲

(1) 絶縁性の基板の一端に設けた光の出射端から該基板の内方に向けて延在する光導波路を形成する第1の工程と;

前記形成された光導波路の基板の内方端に光の入力端を成形形成し、さらに光の発光源となる部材を置くための台座を形成して、前記光導波路の中間部に該台座から熱の拡散伝導が及ばない程度隔てた位置に、光透過形の光検出器を置くための凹部を形成する第2の工程と;

前記台座の表面と、前記基板の表面の所定位置とを確実に接統するための電極を形成する第3の工程と;

前記台座にレーザダイオードを、前記基板の所定位置に該レーザダイオードを駆動するための駆動回路を同時に並列的に形成する第4の工程と;

前記凹部に、前記光導波路を通過する光の一部を吸収し、光電変換して出力する光検出素子を形成する第5の工程と;

前記光検出素子からの出力信号を前記駆動回路へフィードバックするための配線を形成する第6の工程とを具備することを特徴とする定出力半導体レーザ素子の製造方法。

(2) 前記絶縁性の基板の一端に設けた光の出射端から該基板の内方に向けて延在する光導波路が、該基板の表面から該基板の内部に向けて拡散形成するようにしたことを特徴とする特許請求の範囲第1項記載の定出力半導体レーザ素子の製造方法。

(3) 前記絶縁性の基板の一端に設けた光の出射端から該基板の内方に向けて延在する光導波路が、該基板の表面上に堆積形成するようにしたことを特徴とする特許請求の範囲第1項記載の定出力半導体レーザ素子の製造方法。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

この発明は、半導体レーザ素子の製造方法に関し、特に半導体レーザとその出力光を一定にするための回路素子とを、同一基板上に集積して組み上げて製造する定出力半導体レーザ素子の製造方法に関するものである。

## 【従来の技術】

一般にレーザ光を発生する光出力素子は内部からの発熱に伴い、温度が上昇し易いものである。

これは、発熱源となる半導体レーザの光出力部つまり、活性層面積（幅4 $\mu$ m、厚さ0.2 $\mu$ m）が小さい割合に70mW以上の高出力を出すので、エネルギー密度が高くなり、電気エネルギーが光エネルギーに変換する際、同時に熱エネルギーにも変換されるので、発熱量が大きくなることによる。

レーザが発振によって発熱すると、その時点における発熱部分（活性層）の周囲の温度と前記発振による発熱との相関関係をもって、熱拡散量が変わり、前記活性層自体の温度も変化する。

## 【発明が解決しようとする問題点】

しかし、このような方法を採用すると、第1にハーフミラーを使用することで透過光と反射光の角度を調節する作業に熟練度が要求され、しかもハーフミラー自体の反射率分布のむら等により、一定の割合で透過光と反射光を分岐させることはむずかしいという欠点があった。

さらに、光出力部としての半導体レーザ、分波器としてのハーフミラー、光検出器としてのフォトダイオード、駆動回路としてのFETなどを使って定出力半導体レーザ出力装置を構成する場合、それぞれをインターフェイスを介して光及び電気回路で接続していた。

そのため、光結合させ等の工程が複雑困難であること、かつ装置が大形化することなどの欠点があった。

第2点として、半導体レーザ（以下、レーザダイオードの頭文字をとってLDと略称する。）と光検出器とを同一基板上に集積化した方法も提案されており、例えばLDの光源に近接して、光検出

すると、熱平衡状態がくずれ、伝導体と価電子帯に注入している電子や正孔の数が変化し、再結合の生ずる頻度も変化する。

これに起因して、レーザの出力光のレベルも変化する。また、半導体レーザ駆動電圧のゆらぎによっても光出力は大きく変化する。

これら諸要因が重なって、光出力が不安定となっている。

そこで、これを解決するために、熱伝導性の良い物質、例えばダイヤモンドをヒートシンクとして用いていた。

しかし、高価であり、かつ密着剤としてAu-Snを使用するためにクーハプロセス及びボンディングプロセスが多いという欠点があった。

また、不安定な出力光を安定化させる一つの方法として、レーザの出力光をハーフミラーで反射及び透過させ、反射光を光電変換素子等で検出して、その検知信号を電流電圧制御駆動回路に帰還させていた。

器を配列した集積化半導体レーザ（K. Iga, M.A. Pollack, B.I. Miller, and R.J. Martin: IEEEJ. of Quantum Electron, QE-16, PP1044~1047, 1980に記載例ある）では、光検出器例えば、PCD（Photo conductive detector）の受光部i層（insulator）が受光断面のファーフールドパターンより小さいため、LDから放射された光束の一部しか検出できない。

そのため、受光量が少なく（通常、1 $\mu$ m以下）精度よく検出できないという欠点もあった。

さらに、第3点として、光検出器のリーク電流が面構造のため大きく、検出感度が落ちる。

一方、これらを防ぐためには、i層を大きくすれば良いが、工程を別工程としなければならないので、実用的ではない。

また、第4点として、検出器とLDとの距離が近いために熱伝導によりLDの発振の際に生ずる熱が該検出器の感度特性を大きく変動させる。したがって、該検出器に温度補償回路を設ける必要があった。

そのため、この方法による集積化半導体レーザでは、チップ自体も大きくなり、工程が増え、かつ歩留りが悪くなり、その結果、素子の価格も高価となる。

【発明の目的】

本発明は、以上述べた集積型半導体レーザの欠点を解消した定出力半導体レーザ素子の製造方法を実現するもので、その目的とするところは、

- (1) 製造工程数を減らすことで価格を低減化して集積化を強め(高密度機能素子)、
- (2) レーザ光発振部と光検出部との間の熱伝導の影響を少なくすることで、高信頼性を実現し、
- (3) もって、モノリシックの定出力半導体レーザ素子を製造するための方法を具現化し、
- (4) さらに、製造工程を共通化して集約し、経済性をも考慮した製造方法を実現することにある。

すなわち、同一基板上に、光出力部としての半導体レーザ、分波器としての光導波路分岐路、光検出器としてのフォトダイオードと半導体熱電対素子、駆動回路としてのFET(電界効果トラン

ジスタ)とインピーダンス素子とを設けた装置、換言すれば、集積化された定出力半導体レーザを、半導体レーザと光検出器とに熱的に分離しながら一体的に同じ工程でもって製造する高精度な定出力半導体レーザ素子を実現可能とすることにある。

すなわち、光導波路を形成する誘電体基板上に半導体レーザ、駆動回路、光導波路、レーザ出力光をモニタするための光分波器および光パワー検出器を半導体プロセスおよびホットエッチング技術に代表される微細加工技術を用いて構成し、超小形かつ安価な定出力半導体レーザ素子の製造方法を提供するものである。この集積化された定出力半導体レーザ素子は、光分波用ハーフミラーが不要の他、半導体レーザ、光導波路、光分波路および光パワー検出器の各々がホットエッチング技術を用いて形成されるので、お互いの素子の位置が高精度に決定される。したがって、光軸合わせなど複雑・困難な作業を必要としない定出力半導体レーザ素子の製造方法を提供することを目的としている。

【問題を解決するための手段】

本発明の要旨は、その製造方法の工程順に従って列挙すると、

- (1) 絶縁性の基板の一部に、光導波路を形成する工程と;
- (2) 該光導波路の入力部に台座を、また該光導波路の途中の一部に凹部を設ける工程と;
- (3) 該台座から前記基板の所定位置にかけて電極を設ける工程と;
- (4) 前記基板の全面に多層半導体薄膜を堆積させ前記光導波路の入力部にある台座にLEDを形成し、前記多層半導体薄膜の一部を用いて駆動回路を構成し、さらに前記光導波路の途中に設けられた凹部に光出力信号を検出する光電変換素子を形成する工程と;
- (5) 前記レーザダイオード、駆動回路、光電変換素子を相互に結ぶための配線工程とからなる。

【発明の構成(製造方法)】

つぎに、本発明の構成について、図示した実施例に従って説明する。

【実施例】

第1図は、絶縁性の基板1の一部に、光導波路2を形成したもので、この光導波路2は該基板1の端に光の出射端となる部分21があり、該基板1の内方には光の入力端22があり、その両方を結ぶように基板1の内部もしくは表面に延在する。

第1図(a)は蒸着拡散の方法により、また第1図(b)は堆積の方法によりそれぞれ光導波路2を形成している。絶縁性の基板1は例えば、長さ3cm、幅2cm、厚さ2mm程度のリチウムナイオベート( $\text{LiNbO}_3$ )、リチウムタンタレート( $\text{LiTaO}_3$ )が用いられる。蒸着拡散の方法によれば光をよく透過させることのない前記絶縁性の基板1にチタン(Ti)を所定幅(長さ(例えば、5~8 $\mu\text{m}$ :10~20 $\mu\text{m}$ ))にわたって真空蒸着し、後に熱拡散させて、図示のように半円形状のチタン拡散領域、すなわち、光の良透過領域である光導波路2を形成する。また、堆積の方法によれば絶縁性の基板1上に、光の良透過材料であるカルコゲナイドアモルファス薄膜(Ae-Se-Se-Ge)をプラズマCVD

方法によって堆積形成する。すなわち、本発明の第1段階は絶縁性の基板1の一端に設けた光の出射端21から、該基板1の内方に向けて延在するよう光導波路2を該基板1の表面から基板内部へ向けて拡散形成するか、該基板1の表面上に堆積形成する光導波路形成工程(第1の工程)である。

次の工程(第2の工程)は、前記形成された光導波路2の基板の内方端に光の入力端22を成形形成し、光の発光源となるLEDを置くための台座3を形成し、光導波路2の中間部に、該台座3から熱の拡散伝導の影響が及ばない程度隔てた位置に、仮に光透過形の光検出器を置くための凹部4を形成する工程である。第2図(a)、(b)にそれぞれ蒸着拡散方法及び堆積方法により形成された光導波路2の場合について図示した。入力端22は光を光導波路2に損失なく導き入れるために、表面は鏡面状に、基板表面に対して垂直な端面をもつようにしなければならない。また、入力端22に沿って、LEDを置くための台座3を作るが、この台座3は堆積方法による光導波路で、その厚さが十分厚い場

合には基板1をえぐる必要はない。光検出器を置くための凹部4についても同様である。いずれの場合も、光導波路2(および基板1)を<sup>よい</sup>形成するが、乾式のプラズマエッチングや、湿式のエッチング技術が用いられる。絶縁性の基板1の結晶軸を選ぶことにより、湿式のエッチングでサイドエッチング技法又はRIE(リアクティブイオンエッチング技法)を用いると、第2図(a)に示すように、台座3の形状を、光導波路2の入力端22の基板1に対して垂直にし、他の縁では傾斜した端面となるように形成することができる。

また、乾式と湿式のエッチング工程を併用することにより、あるいはスパッタリング技法を用いることにより、いわゆるステップカバレッジ(段差に生ずる接続性)を良好にし、後記する配線工程で不良品(断線不良やエレクトロマイグレーションによる寿命低下)を生じないようにすることもできる。

つぎの工程(第3の工程)は、台座3の表面と基板1の表面の所定位置11とを確実に接続するた

めの電極5を形成する工程である。

第3図K、この工程の終了時における模様を蒸着拡散方法による光導波路2の場合について示した。(以後、本件においては、蒸着拡散方法による光導波路の場合について図示する。)

電極としては、モリブデンシリサイド(MoSi)、タングステンシリサイド(SiW)などが堆積される。また、アルミニウム(Al)、モリブデン(Mo)、チタン(Ti)、タングステン(W)などがスパッタリングされる。

ここで、確実に接続するといったのは、ステップカバレッジなどを良好にして、基板表面と台座表面とを断線状態が生じないように接続するという意味である。

つぎの工程(第4の工程)は、台座3にLED6を、また基板1の所定位置11に駆動回路7を同時に並列的に形成する工程である。

第4図K、この第4の工程により形成された素子の模式図を示す。

駆動回路7は、LED6を駆動するためのもので

あり、後に述べるLED6の光強度を検出してフィードバックをかけるようにする作用をもっている能動素子(例えば、FETからなる回路)である。

例として、p形ヘテロ構造のLEDを作る場合について説明する。

まず、台座3上と基板1の所定位置11上とにそれぞれLED6と駆動回路7としてのFETの一部となる層を、VPE法で気相成長させ、p形インジウムリン(p-InP)層を形成する。

次に、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)絶縁層を作る。これが、いわゆるi層となる。LEDとなる側については、このi層をプラズマエッチング法または、HF系でウェットエッチングにより除去する。

次に、LEDのヘテロ接合部となるp層(例えば、インジウム・ガリウム・ヒン・リンInGaAsP)を形成し、いわゆる活性層とする。

さらに、LED6については、第3層としてn層(例えば、インジウム・リンInP)を形成し、レーザ発振できる素子とする。このn層によって駆動回路側に同時にp-i-n構造のFETを並列

的に形成する。

つぎの工程(第5の工程)は、前記凹部4に光検出素子8を形成する工程である。

この光検出素子は、光導波路を通過する光のパワーの頗く一部のみを吸収して、光電変換し、その変換出力を前記駆動回路7にフィードバックしてLDの出力を一定にするような作用をもつものとする。望ましくは、アモルファスシリコン薄膜を用いた薄膜熱電対(n形とp形のアモルファスシリコンで形成される。特願昭56-108728号)がよい。

その形成方法は、凹部4は絶縁性の基板上に堆積されたp形アモルファスシリコン薄膜で埋め込まれる。p形アモルファスシリコン薄膜は、光吸収特性に波長依存性があり、かつ吸収係数の大きさとしては $10^1 \sim 10^3 \text{ cm}^{-1}$ である。従って光導波路の凹部の長さを $1 \sim 10 \mu\text{m}$ にすれば、p形アモルファスシリコン薄膜領域で吸収されるレーザ光の光量は0.1~100%になる。この場合、レーザ光の波長と吸収すべき光量が決定されれば、p形アモ

ルファスシリコン薄膜の組成および光導波路における凹部の長さの組み合わせで構成できる。凹部のp形アモルファスシリコン薄膜は、レーザ光の吸収により発熱し高温となる。凹部近傍のp形アモルファスシリコン薄膜の一部に接して設けられたn形アモルファスシリコン薄膜は、p形アモルファスシリコン薄膜とて熱電対を構成し、凹部近傍が温度接点を、各アモルファスシリコン薄膜と互いに分離して設けられた電極対が冷接点を形成する。一般にアモルファスシリコン薄膜は熱伝導性が良いので、検出感度を高めるため、各アモルファスシリコン薄膜の形状は第5図のようにストリップ線状となる。

つぎの工程(第6の工程)は、光検出素子8からの信号を前記駆動回路7にフィードバックし、LD6の出力を一定にするための配線を形成する工程であり、これによって定出力半導体レーザ素子が一体的に形成される。

次に薄膜堆積技術として、いわゆるMBE(モレキュラービームエピタキシャル成長)法やVPE

(ベーパーフェイズエピタキシャル)法を用いた実施例について第7図(a)~(g)で説明する。

- (a)は、絶縁性の基板上にp型InP層を部分的に堆積させる方法、
- (b)は、緩衝層(i層:  $\text{Si}_3\text{N}_4$ )を全面に堆積させる方法、
- (c)は、LD上の緩衝層をレジストを使って部分的にエッチング(HF系)する方法、
- (d)は、FET上の $\text{Si}_3\text{N}_4$ 膜を緩衝層として残すために、レジストをFET上に塗布してから、全面に活性層部(薄膜:  $\text{InGaAsP}$ )を堆積成長させる方法、
- (e)は、LD上にレジストを塗布してから、 $\text{Si}_3\text{N}_4$ 膜をエッチング(HF系)により除去する方法、
- (f)は、レジストを剥離する方法、
- (g)は、n型InP層を部分的に堆積させる方法、をそれぞれ示す。

これらの方法によるときは、第4の工程のLDと駆動回路の形成工程と、第5の工程の光検出素子(光電変換器)の形成工程とを一体化でき、3

つの機能素子を同時に並列的に形成できる。

#### 【発明の効果】

この発明では、

- (1) 絶縁性の基板の一部に、光導波路を形成する工程と;
- (2) 該光導波路の入力部に台座を、また該光導波路の途中の一部に凹部を設ける工程と;
- (3) 前記入力部に設けられた台座から前記絶縁性の基板の所定位置にかけて電極を設ける工程と;
- (4) 該基板の全面に、多層半導体薄膜を堆積させ、前記光導波路の入力部にある台座にレーザダイオードを形成し、該多層半導体薄膜の一部を用いて駆動回路を構成し、前記凹部に光出力信号を検出する光電変換素子を形成する工程と;
- (5) 前記レーザダイオード、駆動回路、光電変換素子を相互に結ぶための配線工程とを採用したことから、

一枚の絶縁性の基板の上に、光導波路とLDとLDの駆動回路と光検出器と必要な配線とを一体的に形成して、定出力半導体レーザ素子を実現す

ることができた。

これらの機能素子のうちのいくつかは、経済的な作製工程で、並列的に形成できるので、定出力の半導体レーザ素子を効率よく製造でき、各種の機器用の光源として普く利用できることから産業上の利用効果は著しい。

#### 4. 図面の簡単な説明

第1図は、本発明に係る光導波路の形成工程で作られた素子の模式図で、(a)は蒸着拡散方法による場合、(b)は堆積方法による場合をそれぞれ示す。

第2図は、光検出器を置くための凹部形成工程で作られた素子の模式図で、(a)は蒸着拡散方法による場合、(b)は堆積方法による場合をそれぞれ示す。

第3図は、電極形成工程で作られた素子の模式図で、蒸着拡散方法による場合を示す。

第4図は、台座にレーザダイオードを、また基板の所定位置に駆動回路を同時に並列的に形成した場合の模式図を示す。

第5図は、光検出素子形成工程で作られた素子の模式図を示す。

第6図は、配線形成工程で作られた素子の模式図で、これが本発明の製造方法により製造された素子の完成図である。

第1図は、他の実施例の説明図である。

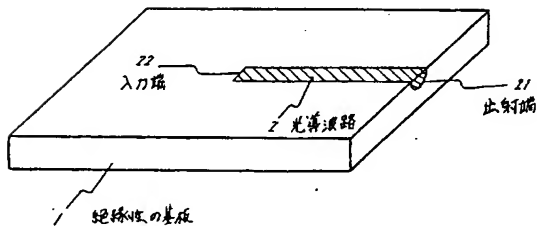
図において符号、1は絶縁性の基板、2は光導波路、3は台座、4は凹部、5は電極、6はレーザダイオード、7は駆動回路、8は光検出素子、9は配線、21は出射端、22は入力端を示す。

特許出願人 安立電気株式会社

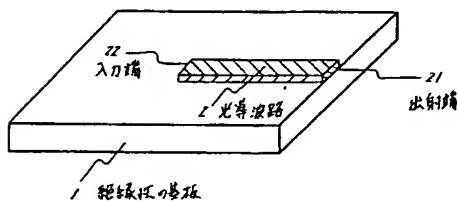
代理人 弁理士 小池 龍太郎

第1図

(a)

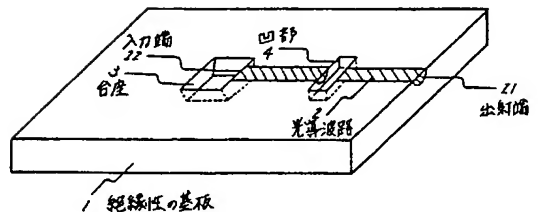


(b)

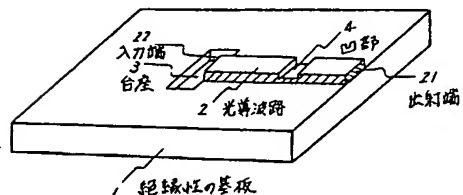


第2図

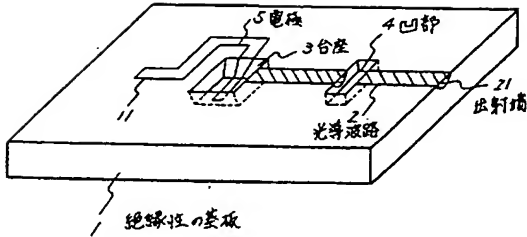
(a)



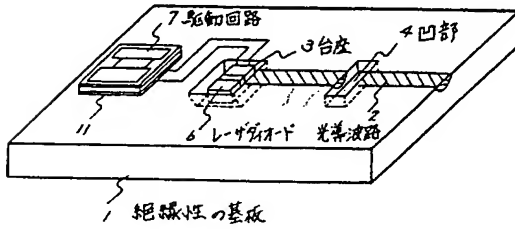
(b)



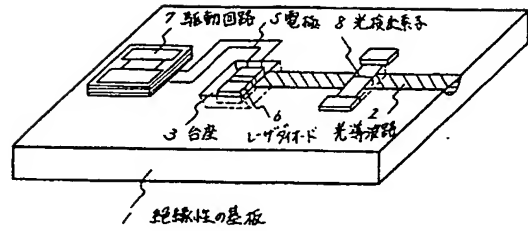
第3図



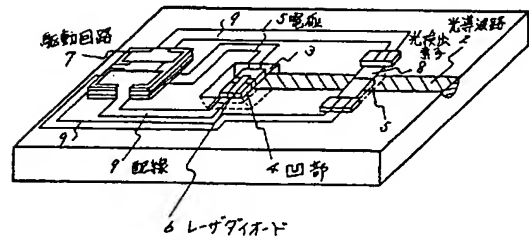
第4図



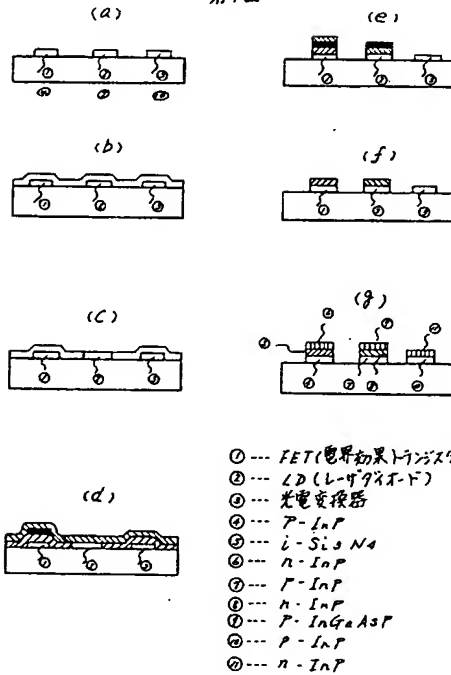
第5図



第6図



第7図



- ① --- FET(電界効果トランジスタ)
- ② --- LD(レーザダイオード)
- ③ --- 光电変換器
- ④ --- P-InP
- ⑤ --- i-Si<sub>3</sub>N<sub>4</sub>
- ⑥ --- n-InP
- ⑦ --- P-InP
- ⑧ --- n-InP
- ⑨ --- P-InGaAsP
- ⑩ --- P-InP
- ⑪ --- n-InP